

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-275957

(43)Date of publication of application : 13.10.1998

---

(51)Int.Cl. H01S 3/18  
G02B 6/42  
G02F 1/025  
H01L 27/14

---

(21)Application number : 09-079317

(71)Applicant : HITACHI LTD

(22)Date of filing : 31.03.1997

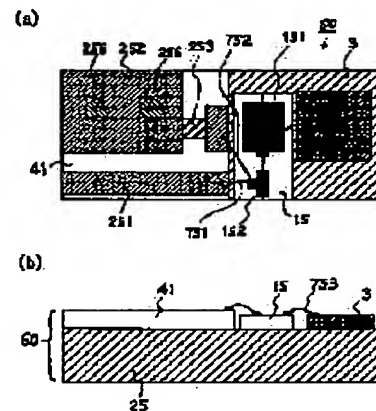
(72)Inventor : GOMYO HIROYUKI  
AOKI SATOSHI  
FUJITA MINORU  
AOKI MASAHIRO  
IDO TATSUMI

## (54) OPTICAL-SEMICONDUCTOR-CHIP CARRIER

## (57)Abstract:

PROBLEM TO BE SOLVED: To obtain an optical-semiconductor-chip carrier which can be mounted simply and whose high-frequency characteristic is improved.

SOLUTION: An optical-semiconductor-chip carrier 60 is constituted of a conductive base board 25 and of a dielectric board 41. A signal line 251, a grounding line 252, a terminating resistor 253, plated through holes 256 and the line are formed on the dielectric board 41. An integrated light-source chip 15 which is composed of a semiconductor laser 151 and of an optical modulator 152 is soldered onto the base board so as to be adjacent to the board 41, and a chip capacitor 3 for bias is soldered onto the base board. The semiconductor laser and the chip capacitor as well as the optical modulator and the signal line and the like are connected respectively by bonding wires 751 to 753. An inductance and a parasitic capacitance which are caused by the chip carrier are reduced, and the number of connecting places of the bonding wires is reduced, and it is possible to obtain the optical-semiconductor-chip carrier which is suitable for a high frequency and which reduces a mounting man-hour.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

(19) 日本国特許庁 (J P)

# 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-275957

(43) 公開日 平成10年(1998)10月13日

(51) Int. Cl. <sup>6</sup>

識別記号

F I

H01S 3/18

H01S 3/18

G02B 6/42

G02B 6/42

G02F 1/025

G02F 1/025

H01L 27/14

H01L 27/14

D

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号

特願平9-79317

(22) 出願日

平成9年(1997)3月31日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 五明 博之

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

(72) 発明者 青木 聡

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

(72) 発明者 藤田 実

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

(74) 代理人 弁理士 高橋 明夫

最終頁に続く

(54) 【発明の名称】 光半導体チップキャリア

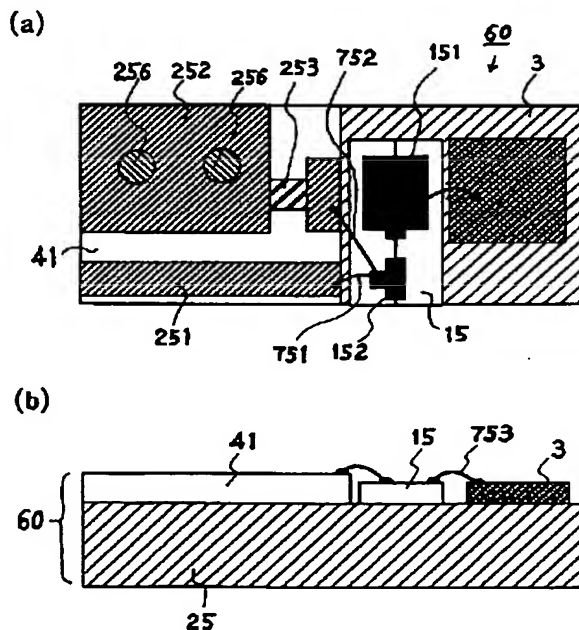
(57) 【要約】

【目的】 実装の簡易な高周波特性を改善した光半導体チップキャリアを得る。

【解決手段】 光半導体チップキャリア60を導電性のベース基板25と誘電体基板41で構成する。誘電体基板41上には、信号ライン251、接地ライン252、終端抵抗253、メッキ処理されたスルーホール256等が形成される。半導体レーザ151と光変調器152からなる集積化光源チップ15がベース基板上に基板41と隣接して半田付けされ、バイアス用のチップコンデンサ3もベース基板上に半田付けされる。半導体レーザとチップコンデンサ間、光変調器と信号ライン間等はボンディングワイヤ751~753により接続される。

【効果】 チップキャリアに起因するインダクタンスや寄生容量の低減、ボンディングワイヤ接続箇所の低減により、高周波化と実装工数低減が図れる。

図6



## 【特許請求の範囲】

【請求項 1】 高熱伝導性を有する導電性のベース基板と、該ベース基板上の一部に固着された誘電体基板とからなり、

前記誘電体基板上には入力信号ラインとなる高周波伝送線路と該ベース基板に電氣的に接続可能な導電性材料を含むスルーホール部を有する接地ラインと前記高周波伝送線路の入力信号と高周波整合をとるための抵抗とが少なくとも形成されていて、

前記ベース基板上の誘電体基板と隣接する位置に光半導体チップを固着して前記高周波伝送線路と光半導体チップ間をボンディングワイヤにより接続できるように構成したことを特徴とする光半導体チップキャリア。

【請求項 2】 前記ベース基板の導電材料は、S i または C u W である請求項 1 記載の光半導体チップキャリア。

【請求項 3】 前記高周波伝送線路および接地ラインは、マイクロストリップラインで形成してなる請求項 1 記載の光半導体チップキャリア。

【請求項 4】 前記高周波伝送線路は、その両側に前記接地ラインで挟まれるように隣接配置してなる請求項 3 記載の光半導体チップキャリア。

【請求項 5】 前記高周波伝送線路は、前記ベース基板に搭載する光半導体チップの出射光側と反対側の位置に前記接地ラインを隣接配置してなる請求項 3 記載の光半導体チップキャリア。

【請求項 6】 前記高周波整合をとるための抵抗は、前記高周波伝送線路と接地ラインとの間に設けられた終端抵抗である請求項 1 記載の光半導体チップキャリア。

【請求項 7】 前記光半導体チップは、半導体レーザダイオードと光変調器とが集積化された集積化光源である請求項 1 記載の光半導体チップキャリア。

【請求項 8】 前記ベース基板は、前記誘電体基板の表面と前記光半導体チップの表面の高さが略同一となるように、誘電体基板を固着する部分の厚さが、光半導体チップを搭載する部分の厚さよりも薄く形成されてなる請求項 1 記載の光半導体チップキャリア。

## 【発明の詳細な説明】

## 【0 0 0 1】

【発明の属する技術分野】 本発明は、光半導体レーザや光変調器などの光半導体チップとチップコンデンサなどの部品とを一緒にパッケージに組み込んで構成する光モジュール等で使用するのに好適な光半導体チップキャリアに関する。

## 【0 0 0 2】

【従来の技術】 一般に、光モジュールは、半導体レーザダイオード（以下、半導体 L D と称する）や光変調器等の光半導体チップ及びチップコンデンサなどを半田付けして搭載した光半導体チップキャリアを、電源端子、入力信号端子、接地端子、光出力用ファイバコネクタ端子などを備えたパッケージ内に組み込むことにより形成さ

れている。半導体 L D 等の光半導体チップは、半導体メモリやマイクロプロセッサなどのシリコン半導体チップと異なり、電気信号特性の検査だけでなく、光出力の特性を測定して良品選別を行う必要がある。

【0 0 0 3】 しかしながら、光出力の特性を測定するには、外部測定系へ出射光の光軸合わせ等の調整を行う必要がある。このため、光半導体チップ上にプローブを当てての測定では、発光パターンや、高周波特性を含めた光出力特性の正確な測定が行えない。そこで、通常、光モジュールに組み込む光半導体チップのチップ選別は次のように行っている。

【0 0 0 4】 例えば、半導体 L D チップの場合、複数個の半導体 L D チップをウエハから横一列に切り出した状態で、まずプローブ測定検査によるパルス駆動選別を行う。この場合、外部測定系と厳密な光軸合わせの調整等を必要としない測定項目、すなわち電流－光出力特性と発振波長の測定等によりチップの大まかな良否判定を行う。ここでパルス駆動により選別を行うのは、直流駆動では放熱が問題となって測定できないからである。次に、パルス駆動選別により選別された良品チップおよびコンデンサ等を半田付けした光半導体チップキャリアを評価用ステムに実装し、C W (Continuous Wave) 駆動選別を行う。なお、評価用ステムへの実装については後述する。この C W 駆動選別では、評価用ステムに外部測定系を接続して電流－光出力特性、発振波長、発光パターン、及び高周波特性等を測定して良否判定をする。半導体 L D チップ等を搭載した光半導体チップキャリアは評価用ステムから外された後、所要の特性仕様を満足する良品チップを搭載した光半導体チップキャリアだけが最終的にパッケージに組み込まれて光モジュールとなる。

【0 0 0 5】 ここで、半導体 L D と光変調器を集積化した集積化光源チップ 1 1 を搭載した光半導体チップキャリアの評価用ステムへの実装について、図 1 を用いて説明する。図 1 は、集積化光源チップやチップコンデンサ等を搭載した従来の光半導体チップキャリアの概略を示す図であり、同図 (a) は評価用ステムに取り付けた光半導体チップキャリアの平面図、(b) は平面図中に示した A-A' 線に沿った部分の断面図である。

【0 0 0 6】 図 1 (a), (b) において、参照符号 1 0 は接地ラインとしても使用する金属導体から成る高周波特性評価用ステムを示し、この評価用ステム 1 0 上には高周波伝送線路となるマイクロストリップ線路 2 a, 2 b, 2 c を形成した誘電体基板 4 が半田付け等により固着されている。更に、誘電体基板 4 上のストリップ線路 2 b, 2 c 間には、高周波整合用の終端抵抗 5 が半田付けされている。また、マイクロストリップ線路 2 c には評価用ステム 1 0 に達するメッキ処理したスルーホール 2 6 が形成され、評価用ステム 1 0 と電氣的に接続されている。更に、ボンディングパッド部 2 2 を設けたセ

ラミックなどの誘電体材料からなる光半導体チップキャリア 21 に、集積化光源チップ 11 とチップコンデンサ 3 が半田付けされ、集積化光源チップ 11 とチップコンデンサ 3 の表面側電極との間、及び集積化光源チップ 11 とボンディングパッド部 22 との間は、それぞれボンディングワイヤ 711 及び 712 により電氣的に接続されている。この光半導体チップキャリア 21 が、固着された誘電体基板 4 を有する評価用ステム 10 に半田付けされる。更に、チップコンデンサ 3 の裏面側電極は、複数本のボンディングワイヤ 715 により接地電位の評価用ステム 10 に電氣的に接続され、ボンディングパッド部 22 とマイクロストリップ線路 2a、2b とはそれぞれボンディングワイヤ 713、714 により電氣的に接続されている。

【0007】このようにして光半導体チップキャリア 21 の評価用ステム 10 への実装が行われ、前述した CW 駆動選別にかけられる。CW 駆動選別の測定後、光半導体チップキャリア 21 と評価用ステム側に接続されていたボンディングワイヤ 713、714、715 を切離した後、評価用ステム 10 に半田付けで固定していた光半導体チップキャリア 21 を外す。同様に、別の集積化光源チップを搭載した光半導体チップキャリアを評価用ステムに取付け、CW 駆動選別にかける。これを繰り返して、集積化光源チップの良否判定を行い、選別する。

【0008】なお、この関連技術に関しては、例えば電子情報通信学会論文誌 C-I, Vol. J77-C-I, No. 5, pp. 268-275 (1994 年 5 月) 等があるが、光モジュールを構成する光半導体チップキャリアの詳細については開示されていない。

【0009】

【発明が解決しようとする課題】ところで、近年、光半導体チップの実装に関して光半導体チップを搭載する光半導体チップキャリアに小型化、高速化が要求されている。しかしながら、前述したように、従来は光半導体チップ 11 とチップコンデンサ 3 をそれぞれ誘電体を材料とする光半導体チップキャリア 21 に半田付けし、この光半導体チップキャリア 21 をマイクロストリップ線路を有する誘電体基板 4 が固着された高周波特性の評価用ステム 10 に搭載していた。更に、高周波整合用の終端抵抗 5 を、光半導体チップキャリアの外付けとして、評価用ステムの誘電体基板 4 上に半田付けしていた。また、それぞれの部品間は、ボンディングワイヤ 711、712、713、714、715 により接続していた。このため、ボンディングワイヤのインダクタンス成分が特性に影響を与えていた。

【0010】図 1 に示した評価用ステム 10 への実装状態について、図 2 の等価回路を用いて高周波特性の数値計算を行った結果が、図 3 (b) と (c) である。ここで、図 2 に示した等価回路の各パラメータは、次の通り

である。Z0 は評価用ステム 4 のマイクロストリップラインのインピーダンスで 50  $\Omega$ 、L1 はボンディングワイヤ 713 のインダクタンスで 0.3 nH、L2 はボンディングワイヤ 714 のインダクタンスで 0.3 nH、Lp はボンディングパッド部 22 のインダクタンスで 0.1 nH、L4 はボンディングワイヤ 715 のインダクタンスで 0.1 nH、L3 はボンディングワイヤ 712 のインダクタンスで 0.9 nH、Cc はボンディングパッド部 22 の容量で 0.3 pF、Cg は光半導体チップキャリア 21 の容量で 0.3 pF、Rin は半導体 LD チップ 11 の光変調器部の内部抵抗で 5  $\Omega$ 、Cm は半導体 LD チップ 11 の光変調器部の容量で 0.4 pF、Rt は終端抵抗 5 の抵抗で 50  $\Omega$  である。なお、半導体 LD 部は直流駆動であるから高周波特性の解析では無視できるため、図 2 では変調器部だけを等価回路に表わしている。従って、ボンディングワイヤ 711 のインダクタンス成分は、省略してある。

【0011】これらの数値を用いて計算した結果、図 3 (a) に示したように、周波数応答特性では 7 GHz 近傍でピーキングが生じ、さらに図 3 (b) に示したように、高周波反射特性が劣化することがわかった。

【0012】また、評価用ステム 10 への実装作業において、光半導体チップ 11 及びチップコンデンサ 3 の光半導体チップキャリア 21 への半田付け、外付けの終端抵抗 5 の誘電体基板 4 への半田付け、さらに、光半導体チップキャリア 21 の評価用ステム 10 への半田付け、及びワイヤボンディング等の作業があり、評価用ステムへの実装工程に時間を要する難点があった。評価用ステム 10 からボンディングワイヤを切断して外した後、光モジュールへ実装する実装工程においても、同様の作業が再度必要であり、時間を要する難点があった。ボンディングワイヤの接続及び切断箇所が多いと、作業中に傷を付けたり、機械的ストレスが増加して、歩留まり低下をきたす一つの原因ともなる。

【0013】そこで、本発明の目的は、高周波特性を改善した光半導体チップキャリアを提供することにある。また、半田付けされる部品数を減らして実装時間を短縮できる光半導体チップキャリアを提供することも目的とする。

【0014】

【課題を解決するための手段】図 1 で示した従来の光半導体チップキャリア 21 の高周波特性の劣化は、ボンディングワイヤのインダクタンスと光半導体チップ 11 の寄生容量との共振が原因である。この対策として、ボンディングワイヤ長を短くしてインダクタンスを減少させることが有効である。

【0015】従って、前述した課題を解決するために、本発明に係る光半導体チップキャリアは、例えば図 6 に示すように光半導体チップの近傍まで高周波伝送線路を形成しボンディングワイヤ長を短縮することができるよ

10

20

30

40

50

うに構成した。すなわち、本発明に係る光半導体チップキャリアは、高熱伝導性を有する導電性のベース基板と、このベース基板上の一部に固着された誘電体基板とからなり、この誘電体基板上には入力信号ラインとなる高周波伝送線路とベース基板に電氣的に接続可能な導電性材料を含むスルーホール部を有する接地ラインと高周波伝送線路の入力信号と高周波整合をとるための抵抗とが少なくとも形成されていて、ベース基板上の誘電体基板と隣接する位置に光半導体チップを固着して高周波伝送線路と光半導体チップ間を最短距離でボンディングワイヤにより接続できるように構成したことを特徴とするものである。

#### 【0016】

【発明の実施の形態】本発明に係る光半導体チップキャリアの好適な実施の形態は、高熱伝導性を有するSiやCuWなどからなる導電性のベース基板と、このベース基板上の一部に半田付けなどで固着された誘電体基板とから光半導体チップキャリアが構成され、この誘電体基板上には入力信号ラインとなるマイクロストリップラインで形成した高周波伝送線路とベース基板に電氣的に接続可能な導電性材料を含むスルーホール部、例えばメッキ処理されたスルーホール部を有する接地ラインと高周波伝送線路の入力信号と高周波整合すなわちインピーダンスマッチングをとるための50Ωの終端抵抗とが少なくとも形成されていて、ベース基板上の誘電体基板と隣接する位置に光半導体チップを固着して高周波伝送線路と光半導体チップ間をボンディングワイヤにより最短距離で接続できるようにした構成の光半導体チップキャリアである。

【0017】このように光半導体チップキャリアを、導電性材料を用いたベース基板と、高周波伝送線路及びインピーダンスマッチング用の抵抗とを設けた誘電体基板とから構成し、光半導体チップをベース基板上に高周波伝送線路と隣接して固着できるようにした。これにより、高周波伝送線路とのボンディングワイヤ長を短くできる。それと同時に、寄生容量の低減及びワイヤボンディング箇所の低減が図れるので、高周波化及び実装工数の低減を達成できる。

#### 【0018】

【実施例】次に、本発明に係る光半導体チップキャリアの更に具体的な実施例につき、添付図面を参照しながら以下詳細に説明する。

【0019】＜実施例1＞図6は、本発明による光半導体チップキャリアの一実施例を示す図であり、同図

(a)は光半導体チップやチップコンデンサ等を光半導体チップキャリアに実装した状態の平面図、(b)はその側面図である。本実施例の光半導体チップキャリア60は、ベース基板25と誘電体基板41とで構成されている。なお、図6には評価用ステムは示していない。

【0020】本実施例では、光半導体チップとして、光

変調器152と半導体LD151を集積化した集積化光源チップ15を誘電体基板41と最隣接する位置のベース基板25上に実装している。集積化光源チップ15とバイアス端子用のチップコンデンサ3は、ベース基板25上に半田付けしている。なお、本実施例で用いる集積化光源チップ15は、数Gビット/秒～数十Gビット/秒の高速変調を要求される長距離・大容量光伝送システム等に適用可能な光源である。この集積化光源チップ15は、半導体LD151に直流バイアスを印加して常に発光させておき、光変調器151に高周波信号を印加して高速変調した半導体LDの出射光を取り出し、光ファイバ伝送に用いるものである。この場合、チップコンデンサ3は、高周波成分をバイパスさせて直流バイアスを安定化させるために設けてある。このような集積化光源チップ15は、半導体LDを直接駆動電流によりオンオフして光ファイバ伝送する構成の場合に比べて、出射光のスペクトルの広がりや抑えられ、長距離伝送に向いている。

【0021】本実施例の光半導体チップキャリア60は、ベース基板25に高熱伝導性を有する導電性の基板、例えば、Si基板やCuW基板等を用いている。従って、ベース基板25の電位は、評価用ステムに半田付けされて測定する場合、接地電位となる。このベース基板25に固着された誘電体基板41上には、高周波線路となる信号ライン251と接地ライン252とがマイクロストリップ線路で同一平面上に形成され、信号ライン251と接地ライン252が非対称に配置された非対称コープレーナ電極構造となるように形成されている。更に、誘電体基板41上には薄膜抵抗或いはチップ抵抗による50Ωの終端抵抗253も設けられている。接地ライン252にはベース基板25に達する内部がメッキ処理されたスルーホール256が設けられており、これにより接地ライン252はベース基板25に電氣的に接続される。

【0022】そして、信号ライン251と集積化光源チップの変調器152との間、終端抵抗253と集積化光源チップの変調器152との間、及び集積化光源チップの半導体LD151とチップコンデンサ3との間は、それぞれをボンディングワイヤ751、752、753により電氣的に接続している。

【0023】このように構成される本実施例の光半導体チップキャリア60では、従来例のように、ボンディングパッド部22を用いる代わりに、光半導体チップキャリア60上の集積化光源チップ15の近傍まで、高周波伝送線路(すなわち信号ライン251)を形成してボンディングワイヤ長を短くしている。また、ベース基板25にはSi、CuW等の導電性の材料を用い、光半導体チップキャリア60に起因するインダクタンスや寄生容量を無視できるまでに減少させている。従来例のチップキャリア21の高周波特性の劣化は、ボンディングワイ

ヤのインダクタンスと光半導体チップの寄生容量との共振が原因である。従って、本実施例の光半導体チップキャリア60はこの対策としてボンディングワイヤ長を短くしてインダクタンスを減少させている。

【0024】本実施例の光半導体チップキャリア60の等価回路を示せば、図7のようになる。但し、図7に示した等価回路では直流バイアス系を除いてある。図7において、 $Z_0'$ は信号ライン251のインピーダンス、 $L_1'$ はボンディングワイヤ751のインダクタンス、 $L_2'$ はボンディングワイヤ752のインダクタンス、 $R_{in}'$ 是集積化光源チップ15の変調器部152の内部抵抗、 $R_t'$ は終端抵抗253の抵抗値、 $C_m'$ 是集積化光源チップ15の変調器部152の容量である。この等価回路を用いて、周波数応答特性と高周波反射特性を数値計算により求めた結果が、図8の(a)及び

(b)である。ここで、計算に使用した上記パラメータのそれぞれの値は、 $Z_0' = 50 \Omega$ 、 $L_1' = 0.6 \text{ nH}$ 、 $L_2' = 0.7 \text{ nH}$ 、 $R_{in}' = 10 \Omega$ 、 $C_m' = 0.4 \text{ pF}$ である。

【0025】従来例の光半導体チップキャリア21を用いた場合の計算結果を示した図2と比較して、本実施例の光半導体チップキャリア60では周波数応答特性で約4GHz、高周波反射特性で約15dB改善される。また、従来例では評価用ステム側に設けた終端抵抗を、本実施例では光半導体チップキャリア60に内蔵させ、ベース基板25に導電性材料を用いたことにより、光半導体チップキャリアの評価用ステムへの半田付け省略やワイヤボンディング回数を減少することができ、評価用ステムへの実装時間の短縮が図れる。同様に、ワイヤボンディング回数が減っただけ、光半導体チップキャリア60を評価用ステムから外して光モジュールへ組み込む場合の実装時間も短縮する。

【0026】本実施例の光半導体チップキャリア60は、信号ライン251と接地ライン252とが非対称コープレーナ電極構造となっていて、出射角の大きな集積化光源チップを用いる場合に好適である。評価用ステム上の信号ラインと光半導体チップキャリアの信号ライン251とを最短距離に配置してボンディングしても、出射光を遮ることがないからである。例えば、図5に示したようにベース基板25上に固着した誘電体基板42に形成する電極パターンとして、信号ライン252を並列に挟むように接地ライン252a、252bを形成する対称コープレーナ電極構造にすると、ボンディングワイヤ長を短くするために、集積化光源チップ14の実装位置が光半導体チップキャリア61のベース基板25上の奥の最隣接位置に半田付けされる。集積化光源チップ14が光出射角の大きな出射パターンを有する場合、出射光6の一部分がチップキャリア61で遮られてしまう。なお、図5は本発明に係る光半導体チップキャリアの平面図であり、図6と同様の構成部分については同一の参

照符号を付してある。従って、図5に示した光半導体チップキャリア61は、光出射角の小さな出射パターンを有する集積化光源チップを搭載する場合に適している。

【0027】＜実施例2＞図4は、本発明による光半導体チップキャリアの別の実施例を示す図であり、同図(a)は光半導体チップやチップコンデンサ等を光半導体チップキャリアに実装して評価用ステムに搭載した状態の平面図、(b)はそのB-B'線における断面図である。

【0028】本実施例の光半導体チップキャリア70は、導電性のベース基板23とセラミックなどからなる誘電体基板42とで構成される。誘電体基板42には、マイクロストリップ線路からなる信号ライン231と、これを挟むように両側に並行に接地ライン232、234が設けられた対称コープレーナ電極構造を形成している。更に、ボンディングパッド235と接地ライン234との間には、薄膜抵抗による終端抵抗233が形成されている。接地ライン232、234には、ベース基板23に達する内部がメッキ処理されたスルーホール236が形成されていて、電氣的にベース基板23と接続されている。信号ライン231は、評価用ステム10に固着された誘電体基板4上に形成された信号ライン401と最短距離でボンディングワイヤ261により電氣的に接続されている。ベース基板23上には、チップコンデンサ3と、光半導体チップとしてマッハツェンダ型光変調器を形成した光変調器チップ13とが誘電体基板42に半田付けされ、信号ライン231と光変調器チップ13間、ボンディング電極部235と光変調器チップ13間、および光変調器チップ13とチップコンデンサ3間は、それぞれボンディングワイヤ262、263、264により電氣的に接続されている。また、ベース基板23上の誘電体基板42の表面と、光変調器チップ13の表面、及びチップコンデンサ3の表面の高さがほぼ一致するように、ベース基板23の誘電体基板42を半田付けする部分の厚さは、少し薄くしてある。これにより、ボンディングし易くなると共にボンディングワイヤ長もその分だけ短くでき、インダクタンスが減少する。

【0029】本実施例の光半導体チップキャリア70も前記実施例と同様に、終端抵抗を内蔵させ、ベース基板23に導電性材料を用いたことにより、光半導体チップキャリアの評価用ステムへの半田付け省略やワイヤボンディング回数を減少することができ、実装時間の短縮が図れる。更に、光半導体チップキャリアに起因するインダクタンスや寄生容量を無視できるまでに減少させているので、前記実施例と同様に高周波特性の向上が図れた。また、対称コープレーナ電極構造としたことにより、信号ライン231に与えるノイズが低減される。

【0030】＜実施例3＞図9は、本発明に係る光半導体チップキャリアのまた別の実施例を示す図であり、同図(a)は光半導体チップやチップコンデンサ等を光半

10

20

30

40

50

導体チップキャリアに実装した状態の平面図、(b)はその側面図である。

【0031】本実施例の光半導体チップキャリア62は、導電性のベース基板27と、誘電体基板43とから構成される。誘電体基板43には、信号ライン271及び接地ライン272と、終端抵抗273とが集積化されている。従って、図6に示した集積化光源チップ15の光変調器152と終端抵抗273の電極間のボンディングワイヤ752が省略できる。すなわち、本実施例では図7に示した等価回路図において、ボンディングワイヤ752に起因するインダクタンスL2'が無視できることとなり、高周波化とワイヤボンディング回数の低減とを達成できる。

【0032】なお、接地ライン272にはメッキ処理された複数個のスルーホール256が設けられているので、これにより光半導体チップキャリア62を評価用システムに搭載したときに接地ライン272は評価用システムと電氣的に接続される。また、半導体LD151とチップコンデンサ3間及び信号ライン251と光変調器152間は、図6と同様に、それぞれボンディングワイヤ753及び751により接続されている。

【0033】以上、本発明の好適な実施例について説明したが、本発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。例えば、実施例では光半導体チップキャリア上に光半導体チップとチップコンデンサとを搭載したが、半導体LDチップだけを搭載する用途の場合にも適用できることは言うまでもない。

#### 【0034】

【発明の効果】本発明によれば、光半導体チップキャリアをSiやCuWといった高熱伝導性を有する導電性材料を用いたベース基板と、信号ライン、接地ライン及び終端抵抗を設けた誘電体基板とから構成することにより、光半導体チップキャリアに起因するインダクタンスや寄生容量の低減及びボンディングワイヤ接続箇所の低減が図れ、高周波化と評価用システムへの実装工数及び光モジュールへの実装工数の低減を達成することができる。

#### 【図面の簡単な説明】

【図1】従来の光半導体チップキャリアを評価用システム

に搭載した状態を示す図であり、(a)は平面図、

(b)は平面図中に示したA-A'線に沿った断面図である。

【図2】図1に示した光半導体チップキャリアの等価回路図である。

【図3】図2に示した等価回路により従来の光半導体チップキャリアの高周波特性を計算した結果を示す図であり、(a)は周波数特性、(b)は反射特性である。

【図4】本発明に係る光半導体チップキャリアを評価用システムに搭載した一実施例を示す図であり、(a)は平面図、(b)は側面図である。

【図5】本発明に係る光半導体チップキャリアの別の実施例を示す図であり、出射角の大きな発光素子を実装した場合の状態を模式的に示した平面図である。

【図6】本発明に係る光半導体チップキャリアのまた別の実施例を示す集積化光源とチップコンデンサを実装した図であり、(a)は平面図、(b)は側面図である。

【図7】図6に示した光半導体チップキャリアの等価回路図である。

【図8】図7に示した等価回路により本発明の光半導体チップキャリアの高周波特性を計算した結果を示す図であり、(a)は周波数特性、(b)は反射特性である。

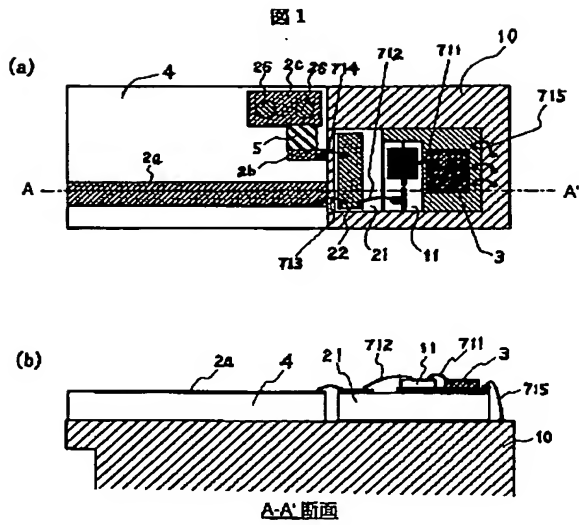
【図9】本発明に係る光半導体チップキャリアの更に別の実施例を示す集積化光源とチップコンデンサを実装した図であり、(a)は平面図、(b)は側面図である。

#### 【符号の説明】

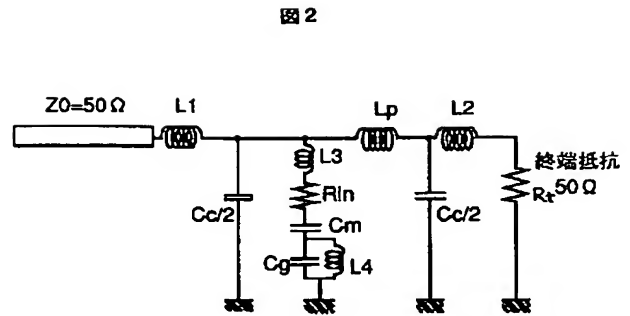
2a, 2b, 2c…マイクロストリップ線路、3…チップコンデンサ、4, 41, 42…誘電体基板、6…出射光、10…評価用システム、11, 14, 15…集積化光源チップ、13…光変調器チップ、21…光半導体チップキャリア、22, 235…ボンディングパッド部、23, 25, 27…ベース基板、26, 236, 256…スルーホール、60, 61, 62, 70…光半導体チップキャリア、151…半導体LD、152…光変調器、231, 251, 252, 271, 401…信号ライン、232, 234, 252a, 252b, 272…接地ライン、233, 253, 273…終端抵抗、261~264…ボンディングワイヤ、711~715…ボンディングワイヤ。



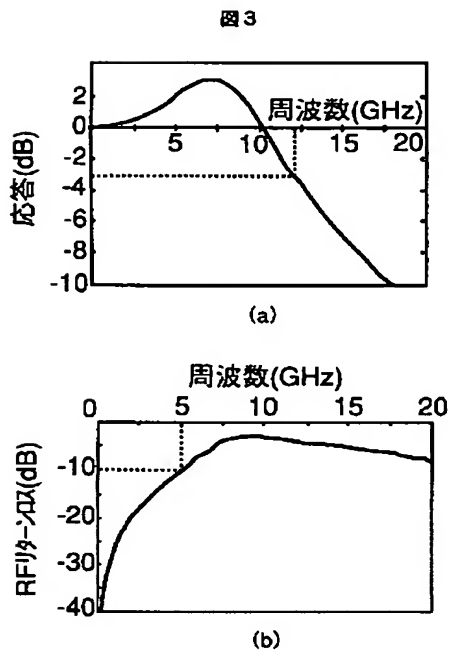
【図 1】



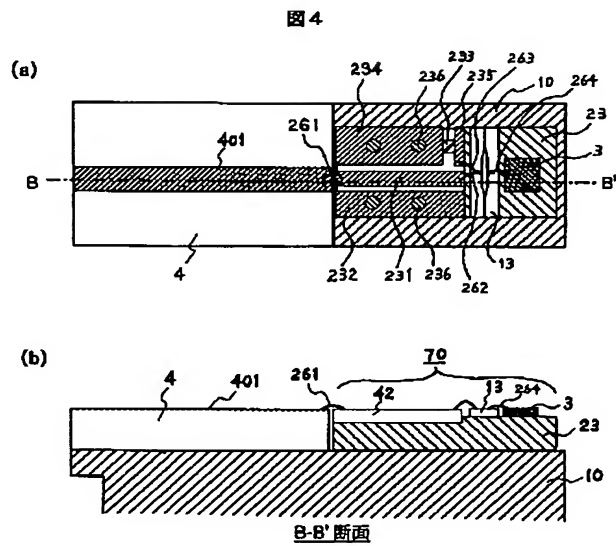
【図 2】



【図 3】

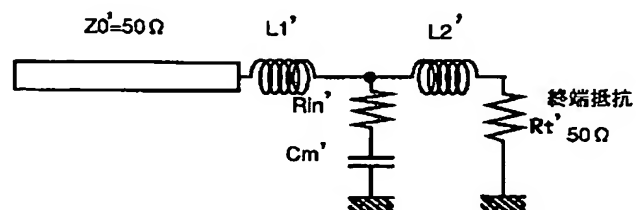


【図 4】



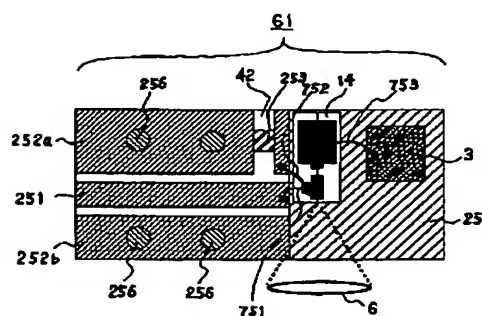
【図 7】

図 7



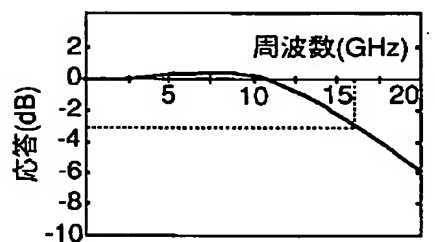
【図 5】

**5**

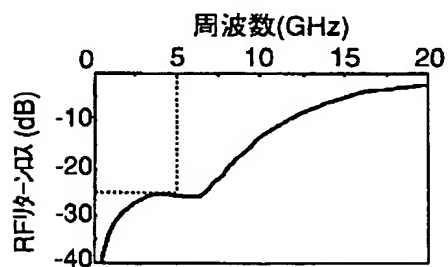


【図 8】

**■ 8**



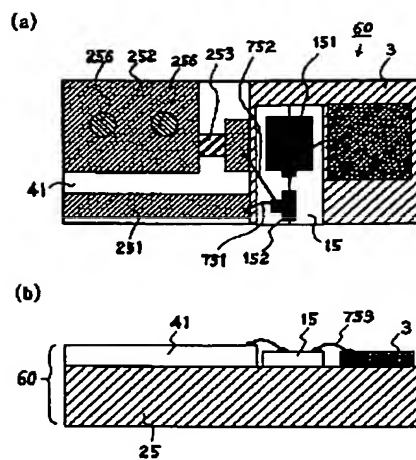
(a)



(b)

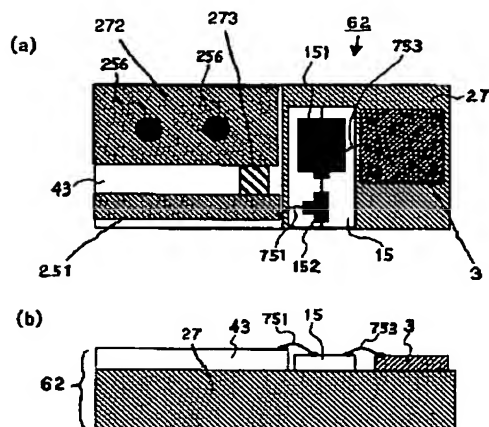
【図 6】

图 6



【图9】

**9**



フロントページの続き

(72) 発明者 青木 雅博  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

(72) 発明者 井戸 立身  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内